

15-16

# GUÍA DE ESTUDIO DE LDI



## **ELECTRONICA II (F.I.-A.)**

CÓDIGO 01075098

UNED

**15-16**

**ELECTRONICA II (F.I.-A.)**

**CÓDIGO 01075098**

# **ÍNDICE**

**OBJETIVOS**

**CONTENIDOS**

**EQUIPO DOCENTE**

**BIBLIOGRAFÍA BÁSICA**

**BIBLIOGRAFÍA COMPLEMENTARIA**

**SISTEMA DE EVALUACIÓN**

**HORARIO DE ATENCIÓN AL ESTUDIANTE**

---

## AVISO IMPORTANTE

En el Consejo de Gobierno del 30 de junio de 2015 se aprobó, por unanimidad, que la convocatoria de exámenes extraordinarios para planes en extinción de Licenciaturas, Diplomaturas e Ingenierías, prevista para el curso 2015-2016, se desarrolle según el modelo ordinario de la UNED, esto es, en tres convocatorias:

- febrero de 2016 (1ª y 2ª semana), para asignaturas del primer cuatrimestre y primera parte de anuales.
- junio de 2016 (1ª y 2ª semana) para asignaturas del segundo cuatrimestre y segunda parte de anuales.
- septiembre de 2016 para todas las asignaturas.

Si en alguna guía aparecen referencias sobre una sola convocatoria en febrero, esta información queda invalidada ya que tiene prevalencia la decisión del Consejo de Gobierno.

En el curso 2015-2016 esta asignatura no tendrá activado el curso virtual.

---

## OBJETIVOS

¡ATENCIÓN !

**ESTA ASIGNATURA NO TENDRÁ TUTORÍA NI SEGUIMIENTO DOCENTE, SOLO CONSERVA UNA CONVOCATORIA EXTRAORDINARIA DE EXAMEN EN EL TURNO DE FEBRERO 2016**

Dado que tampoco existe Curso Virtual es imprescindible que los estudiantes que se matriculen para el examen final vean, en el apartado de "**Evaluación**" en esta guía, las condiciones para las prácticas obligatorias (simulaciones) ya que, como saben, es imprescindible haberlas aprobado para poder hacer efectiva la nota obtenida en el examen final.

No se puede entender el contenido del programa de Electrónica II sin hacer referencia al contenido del programa de Electrónica I que se estudió en 4.º curso, ya que los contenidos de Electrónica II deben cubrir "todo lo que no cabe" en Electrónica I hasta un máximo razonable de presión educativa sobre el alumno y teniendo en cuenta la orientación aplicada de la especialidad, junto con las interrelaciones con las asignaturas de Automática II y de Informática. Incluiremos entonces tres nuevos módulos de conocimiento:

1. IV : Diseño Analógico en Tecnología Integrada-II (Funciones no lineales).
2. V : Electrónica Digital.
3. VI : Funciones Híbridas (A/D y D/A).

El objetivo del primer bloque de conocimiento de la Electrónica II (diseño analógico no lineal) es repetir la estrategia metodológica seguida en la Electrónica I con las funciones lineales para funciones no lineales. Las no linealidades básicas de la electrónica son zonas muertas

(tensiones de despegue), zonas cuadráticas, saturaciones y productos. Una o más de estas no linealidades están asociadas a la generación de formas de onda, rectificación, regulación, multiplicación analógica, modulación y control de potencia.

En el módulo V (Electrónica Digital) presentamos al alumno una introducción al diseño lógico en sus dos ramas: combinacional y secuencial, llevándolo desde la definición de las variables y los operadores básicos hasta la frontera con la arquitectura de ordenadores y el mundo de los microprocesadores.

Una vez que el alumno posee un conocimiento razonable de las funciones básicas en electrónica analógica y electrónica digital, pasamos al último bloque de conocimiento en el que estudiamos aquellas funciones que no son propiamente analógicas ni digitales, sino que cubren las necesidades del interface, adaptando representaciones analógicas a códigos digitales. En su síntesis intervienen circuitos analógicos y digitales y su función última es cerrar el lazo de procesado digital del mundo analógico.

## CONTENIDOS

### MÓDULO IV. Diseño Analógico en Tecnología Integrada-II (Funciones no lineales)

#### **TEMA 17.** Multiplicadores analógicos

17.1. Introducción. 17.2. Multiplicadores a transconductancia variables. 17.3. Multiplicadores logarítmicos. 17.4. Aplicaciones típicas. 17.5. Convertidores multifunción.

#### **TEMA 18.** Modulación en amplitud

18.1. Planteamiento del problema. 18.2. Tipos de modulación. 18.3. Modulación de amplitud. 18.4. Producción de señales moduladas en amplitud. 18.5. Detección de señales moduladas en amplitud: Detección de envolvente y detección síncrona.

#### **TEMA 19.** Modulación en frecuencia

19.1. Modulación angular: frecuencia instantánea. 19.2. Espectro de una señal FM con moduladora sinusoidal. 19.3. Producción de señales FM. 19.4. Demodulación de señales FM. 19.5. Introducción a los sistemas de lazo cerrados a fase (PLL).

#### **TEMA 20.** Reguladores de tensión

20.1. Reguladores en fuentes de tensión. 20.2. Reguladores a transistores. 20.3. Soluciones integradas a los reguladores serie. 20.4. Reguladores serie comerciales. 20.4.1. Reguladores fijos de tres terminales. 20.4.2. Reguladores ajustables.

#### **TEMA 21.** Control de potencia

21.1. Introducción. 21.2. Dispositivos de cuatro capas. 21.2.1. Tiristores: Estructura física y características básicas. 21.2.2. Triac. 21.3. Datos de catálogo sobre triacs y tiristores. 21.4. Dispositivos de disparo. 21.4.1. Diac. 21.4.2. Conmutadores unilaterales de silicio. 21.4.3. Conmutadores bilaterales de silicio. 21.4.4. Transistores uniunión (UJT). 21.5. Consideraciones sobre el disparo de triacs y tiristores. 21.6. Tipos de conmutación: conmutación física. 21.7. Disparadores a tensión nula.

**MÓDULO V: Electrónica Digital****TEMA 22.** Exigencias computacionales del procesamiento digital de la información

22.1. Procesamiento digital de la información. 22.2. Funciones combinacionales y secuenciales necesarias. 22.3. Variables y operadores lógicos: Álgebra de Boole. 22.4. Funciones lógicas: formas canónicas. 22.4.1. Forma normal disyuntiva. 22.4.2. Forma normal conjuntiva. 22.5. Otras representaciones completas (NAND y NOR). 22.6. Análisis y síntesis. 22.7. Introducción a la minimización.

**TEMA 23.** Familias lógicas (I): TTL

23.1. Introducción a las familias lógicas. 23.2. Caracterización de las distintas familias lógicas. 23.2.1. Características estáticas. 23.2.2. Transitorios. 23.2.3. Ruido. 23.2.4. Flexibilidad lógica. 23.3. Lógica resistencia-transistor. 23.4. Lógica diodo-transistor (DTL). 23.5. Lógica transistor-transistor (TTL). 23.5.1. Puerta NAND en TTL. 23.5.2. Puertas TTL de tres estados. 23.6. Datos de catálogo.

**TEMA 24.** Familias lógicas (II) ECL, MOS, CMOS y BiCMOS

24.1. Lógica de emisores acoplados. 24.1.1. Amplificador diferencial. 24.1.2. Inversor ECL. 24.1.3. Puerta NAND. 24.2. Inversor básico en MOS. 24.2.1. Comportamiento del transistor de carga. 24.2.2. Comportamiento del transistor impulsor. 24.2.3. Curva de transferencia del inversor. 24.2.4. Puertas NAND y NOR con NMOS. 24.3. Inversor básico en CMOS. 24.3.1. Comportamiento estático. 24.3.2. Comportamiento dinámico. 24.3.3. Inversor de tres estados. 24.3.4. Acoplo con otras familias. 24.4. Circuitos NAND, NOR y Puertas de Transmisión en CMOS. 24.5. Circuitos BiCMOS. 24.6. Comparación de familias lógicas.

**TEMA 25.** Lógica combinacional (I): Funciones aritmético-lógicas

25.1. Representación conjunta de números positivos y negativos. 25.2. Sumadores y restadores. 25.2.1. Semisumadores. 25.2.2. Sumadores. 25.2.3. Semirrestadores. 25.2.4. Restadores completos. 25.2.5. Sumadores serie. 25.2.6. Sumador paralelo con acarreo adelantado. 25.3. Sumadores en complemento a 1: gestión del problema del rebose. 25.4. Comparadores. 25.5. Unidades aritmético-lógicas (ALUs).

**TEMA 26.** Lógica combinacional (II): Ruta de datos

26.1. Circuitos selectores de datos (multiplexos). 26.2. Demultiplexos. 26.3. Codificadores con prioridad. 26.4. Amplificadores (buffers-drivers) y transmisores-receptores de bus.

**TEMA 27.** Lógica combinacional programable

27.1. Procesamiento digital de la información. 27.2. Memorias PROM, EPROM, EEPROM y FLASH. 27.3. Transistores de puerta flotante (FAMOS) y mecanismos de borrado. 27.3.1. Borrado de EPROMs. 27.3.2. Borrado de las EEPROMs. 27.3.3. Borrado de las memorias FLASH. 27.4. Organización interna y ejemplos de EEPROM y FLASH. 27.4.1. EPROMs. 27.4.2. EEPROM. 27.4.3. FLASH. 27.5. PALs y PLAs. 27.6. Configuraciones de salida. 27.7. Nomenclatura y ejemplos de circuitos PAL.

**TEMA 28:** Exigencias computacionales de la lógica secuencial: circuitos biestables

28.1. Introducción a la teoría de autómatas finitos: concepto de estado. 28.2. El tiempo en digital: comportamiento síncrono y asíncrono. 28.3. Biestables. 28.3.1. R-S básico. 28.3.2. R-S sincronizado a niveles. 28.3.3. Disparo por flancos. 28.3.4. R-S sincronizado a nivel y con

entradas asíncronas de preset y clear. 28.4. Biestables J-K. 28.4.1. Configuración “master-slave”. 28.5. Biestables T y D. 28.5.1. D disparado por flancos.

**TEMA 29.** Introducción al diseño secuencial: contadores y registros

29.1. Introducción al diseño secuencial con biestables D, T y J-K. 29.2. Procedimiento general de síntesis. 29.3. Representación, síntesis y análisis modular de autómatas con PDLs. 29.3.1. Representación. 29.3.2. Síntesis. 29.3.3. Análisis. 29.4. Diseño con biestables J-K. 29.5. Contadores. 29.5.1. Contadores asíncronos. 29.5.2. Contadores síncronos. 29.5.3. Aplicación del método general a la síntesis de contadores con PDLs. 29.6. Registros de desplazamiento.

**TEMA 30.** Temporizadores y relojes

30.1. Circuitos de tiempo. 30.2. Monoestables. 30.3. Astable. 30.4. Circuitos de tiempo tipo 555. 30.5. Temporizadores programables. 30.6. Relojes.

**TEMA 31.** Memorias RAM y CAM

31.1. Memorias de lectura/escritura volátiles. 31.2. Organización de las memorias SRAM. 31.3. Evolución de las SRAM. 31.4. Celdas RAM estáticas (SRAM) en tecnología bipolar. 31.5. Celdas RAM estáticas (SRAM) en tecnología MOS. 31.6. Celdas RAM dinámicas (DRAM) en tecnología MOS. 31.7. Organización de las memorias RAM dinámicas (DRAM). 31.7.1. Ampliación del número de líneas de entrada/salida. 31.7.2. Modificaciones en los modos de acceso. 31.7.3. DRAMs síncronas con bancos múltiples. 31.8. Circuitos de memoria asociativa (CAM). 31.8.1. Aspectos básicos de la organización de un circuito CAM. 31.8.2. Celda CAM básica en CMOS. 31.8.3. Ejemplos de circuitos CAM.

**TEMA 32.** Memorias de acceso secuencial

32.1. Organizaciones de acceso secuencial. 32.2. Etapas dinámicas en MOS y CMOS. 32.3. Estructuras CCD. 32.4. Memorias FIFO sobre celdas RAM en CMOS. 32.4.1. Tipos de FIFO. 32.4.2. Arquitecturas de las FIFO-RAM.

**TEMA 33.** Lógica secuencial programable: CPLDs y FPGAs

33.1. Aspectos generales de los PLDs de alta densidad. 33.2. Evolución y ejemplos de las arquitecturas CPLD. 33.3. Evolución y ejemplos de las arquitecturas FPGA. 33.4. ¿Dónde termina la electrónica y dónde empieza la programación?.

**MÓDULO VI: Funciones híbridas**

**TEMA 34.** Conmutadores analógicos, multiplexos y circuitos de muestreo y retención

34.1. Conmutadores ideales. Fuentes de error. 34.2. Soluciones con transistores bipolar y FET. 34.3. Soluciones integradas. 34.4. Multiplexos. 34.5. Otras aplicaciones: control electrónico. 34.6. Muestreo por un tren de impulsos: teorema de Shannon. 34.7. Influencia del teorema de Shannon en el multiplexado temporal. 34.8. Retenedores. 34.9. Circuitos de muestreo y muestreo-retención.

**TEMA 35.** Conversores D/A

35.1. Introducción a la conversión de datos. 35.2. Características de los conversores D/A. 35.3. Distintos tipos básicos de circuitos de conversión D/A. 35.3.1. Circuitos D/A con escalado de corrientes. 35.3.2. Circuitos D/A con escalado de tensión. 35.3.3. Conversores D/A con escalado de carga. 35.4. Arquitecturas de conversores D/A. 35.4.1. Circuitos que usan fuentes de corriente ponderadas de forma binaria. 35.4.2. Circuitos que usan fuentes de corrientes de igual valor. 35.4.3. Redes escalera segmentadas. 35.5. Conversores

compresores-expansores. 35.6. Ejemplos. 35.7. Referencias.

### TEMA 36. Conversores A/D

36.1. Introducción. 36.2. Caracterización de la conversión A/D. 36.3. Métodos de conversión en lazo abierto. 36.3.1. Conversión tensión-frecuencia. 36.3.2. Modulación en anchura de impulsos. 36.3.3. Conversión simultánea (paralelo). 36.4. Tipos de conversores en lazo cerrado. 36.4.1. Rampa-contador. 36.4.2. Aproximaciones sucesivas. 36.5. Criterios de selección de un conversor A/D y ejemplos.

## EQUIPO DOCENTE

Nombre y Apellidos  
Correo Electrónico  
Teléfono  
Facultad  
Departamento

ANA ESPERANZA DELGADO GARCIA  
adelgado@dia.uned.es  
91398-7150  
ESCUELA TÉCN.SUP INGENIERÍA INFORMÁTICA  
INTELIGENCIA ARTIFICIAL

## BIBLIOGRAFÍA BÁSICA

ISBN(13):9788436226850

Título:INTRODUCCIÓN A LA ELECTRÓNICA ANALÓGICA NO LINEAL. (1ª)

Autor/es:Delgado García, Ana Esperanza ; Mira Mira, José ;

Editorial:U.N.E.D.

ISBN(13):9788488667731

Título:ELECTRÓNICA DIGITAL (2ª)

Autor/es:Mira Mira, José ; Dormido Bencomo, Sebastián ; Canto Díez, Mª Antonia ; Delgado García, Ana Esperanza ;

Editorial:SANZ Y TORRES

El módulo IV está editado por la UNED en forma de libro con el título "*Introducción a la Electrónica Analógica no Lineal*", de los autores Mira J. y Delgado, A. E. Ref.: 07509.

Para el módulo V el texto básico es: "*Electrónica Digital*" (2.a ed.), Mira Mira , J.; Delgado García, A. E.; Dormido Bencomo, S. y Canto Díez, M. A. Editorial Sanz y Torres (2001).

Para problemas se utilizará el texto: "*Problemas de Electrónica Digital*". Delgado García, A. E.; Mira Mira , J.; Hernández Berlinches, R. y Lázaro Obensa, J. C. Editorial Sanz y Torres (1999).

Para el módulo VI existen unos apuntes que el alumno, que no los tenga de los cursos anteriores, puede conseguir a través del correo electrónica del equipo docente.

De igual forma, el equipo docente facilitará los guiones y los formatos para la entrega de las simulaciones, a todo alumno que lo solicite.

## BIBLIOGRAFÍA COMPLEMENTARIA

ISBN(13):9788488667465

Título:PROBLEMAS DE ELECTRÓNICA DIGITAL (1ª)

Autor/es:Mira Mira, José ; Fernández Díaz, Roberto ; Lázaro Obensa, Juan Carlos ; Delgado García, Ana Esperanza ;

Editorial:SANZ Y TORRES

En los textos básicos mencionados anteriormente existe una descripción detallada de toda la bibliografía complementaria, tanto para las Funciones Analógicas no lineales como para la Electrónica Digital.

## SISTEMA DE EVALUACIÓN

Esta asignatura **ya se ha extinguido**, y durante el curso 2015-16 sóloamnete hay una única convocatoria en Febrero para el examen extraordinario por finalización del plan de extinción de la licenciatura. Por tanto, no habrá curso virtual. Pero, a pesar de lo que se indica en la "**Planificación y condiciones de aplicación de una Convocatortia Extraordinaria de finalización de los planes de extinción de Licenciaturas**", dado el carácter práctico de esta asignatura, sí se ofrecerá una (única) oportunidad de realizar las prácticas obligatorias antes de las pruebas presenciales de Febrero, para los estudiantes que **no las tuviesen ya aprobadas en cursos anteriores**. Recuerden que, **en ningún caso se puede aprobar la asignatura si no se han aprobado antes las prácticas**.

Así, la evaluación de la asignatura consta de una parte **Práctica de Simulación de Circuitos** y de otra correspondiente a la **Prueba Presencial**.

Como hemos dicho anteriormente, las simulaciones son **obligatorias** y para aprobarlas es necesario **haber entregado los cuatro grupos** (SIM-1: Multiplicación y Modulación, SIM-2: Lógica Combinacional, SIM-3: Lógica Secuencial y SIM-4: Conversores A/D y D/A) y **haber aprobado al menos tres de ellos**. Deben entregarlas en el correo electrónico del equipo docente, siendo la **fecha límite para su envío el 15 de Enero de 2016**.

El examen se hará en **una única sesión de dos horas** en donde se evaluará el programa completo de la asignatura.



## HORARIO DE ATENCIÓN AL ESTUDIANTE

Debido a que **esta asignatura ya se ha extinguido**, no habrá curso virtual, pero el equipo docente atenderá dudas relacionadas con la asignatura, y con su evaluación, a través del correo electrónico: [adelgado@dia.uned.es](mailto:adelgado@dia.uned.es)

**Dra Da. Ana E. Delgado García**

Escuela de la E.T.S.I. Informática (Edificio Interfacultativo)

Despacho 3.20

C/ Juan del Rosal, 16

Madrid 28040.

Tel.: 91 398 71 50

\* \* \* \* \*

---

## IGUALDAD DE GÉNERO

En coherencia con el valor asumido de la igualdad de género, todas las denominaciones que en esta Guía hacen referencia a órganos de gobierno unipersonales, de representación, o miembros de la comunidad universitaria y se efectúan en género masculino, cuando no se hayan sustituido por términos genéricos, se entenderán hechas indistintamente en género femenino o masculino, según el sexo del titular que los desempeñe.