7-08

GUÍA DE ESTUDIO DE LDI

ARQUITECTURA E INGENIERIA DE COMPUTADORES

CÓDIGO 0155401-

UNED

7-08

ARQUITECTURA E INGENIERIA DE COMPUTADORES

CÓDIGO 0155401-

ÍNDICE

OBJETIVOS
CONTENIDOS
EQUIPO DOCENTE
BIBLIOGRAFÍA BÁSICA
BIBLIOGRAFÍA COMPLEMENTARIA
SISTEMA DE EVALUACIÓN
HORARIO DE ATENCIÓN AL ESTUDIANTE

OBJETIVOS

Los contenidos de la asignatura se pueden dividir claramente en dos bloques o partes que se corresponden con cada uno de los dos cuatrimestres de que consta el curso. Estos bloques se denominan:
Bloque 1: Fundamentos de los procesadores superescalares..
Bloque 2: Arquitecturas y procesamiento paralelo.
El primer bloque se centra en el estudio de técnicas arquitectónicas utilizadas actualmente en el diseño y construcción de muchos de los computadores que nos rodean. Estas técnicas tienen como finalidad obtener un mayor paralelismo a nivel de instrucción (ILP) y lograr así un mejor rendimiento del procesador. Para lograr este objetivo en esta primera parte se estudian los conceptos de segmentación, la jerarquía de memoria y los sistemas de E/S, los procesadores superescalares y algunas técnicas avanzadas para la reorganización del flujo de instrucciones.
Estudiadas en el primer bloque las distintas técnicas existentes para incrementar el rendimiento de los sistemas monoprocesador, el objetivo global que se persigue con el segundo bloque es conocer el procesamiento paralelo, profundizando de esta forma en los conocimientos que el estudiante ya posee en materia de arquitectura y tecnología de computadores. Con el fin de obtener una visión de conjunto se presentan las arquitecturas paralelas más relevantes, sus fundamentos y los mecanismos adecuados para su utilización eficiente en la ejecución de algoritmos. Además, se detallan los aspectos fundamentales de las arquitecturas más generalistas, tales como los clusters, así como los métodos de programación más extendidos y ampliamente utilizados, tanto en paradigmas como en bibliotecas de programación.

CONTENIDOS

El contenido de la asignatura se encuentra dividido en dos partes:
1ª PARTE: John P. Shen y Mikko H. Lipasti. *Arquitectura de Computadores: Fundamentos de los procesadores superescalares*. Madrid: McGraw-Hill, 2005.
TEMA 1. DISEÑO DE PROCESADORES
1.1 Evolución de los microprocesadores.
1.2 Diseño del juego de instrucciones del procesadores.
1.3 Principio del rendimiento del procesador.
1.4 Procesamiento paralelo a nivel de instrucción.
TEMA 2. PROCESADORES SEGMENTADOS
2.1 Fundamentos de la segmentación.
2.2 Diseño de procesadores segmentados.
2.3 Procesadores supersegmentazos.
TEMA 3. MEMORIA Y SISTEMAS DE E/S
3.1 Introducción.
3.2 Perspectiva general de los sistemas informáticos.
3.3 Conceptos clave: latencia y ancho de banda.
3.4 Jerarquía de memoria.

TEMA 4. ORGANIZACIÓN SUPERESCALAR
4.1 Limitaciones de la segmentación escalar.
4.2 De segmentaciones escalares a superescalares.
4.3 Introducción a la segmentación superescalar.
TEMA 5. TÉCNICAS SUPERESCALARES
5.1 Técnicas de flujo de instrucciones.
Exceptuando 5.1.5 y 5.1.6
5.2 Técnicas de flujo de datos de registros.
Exceptuando 5.2.8
5.3 Técnicas de flujo de datos de memoria.
Exceptuando 5.3.4
TEMA 9. TÉCNICAS AVANZADAS DE FLUJO DE INSTRUCCIONES
9.1 Introducción
9.2 Técnicas de predicción estáticas de saltos.
9.3 Técnicas de predicción dinámica de saltos.
Exceptuando 9.3.2 y 9.3.3

2ª PARTE: S. Dormido, R. Hernández, S. Ros y J. Sánchez. *Procesamiento Paralelo: Teoría y Programación*. Madrid: Sanz y Torres, 2003.
TEMA 1. INTRODUCCIÓN A LAS ARQUITECTURAS PARALELAS
1.1 Aspectos básicos de la computación paralela.
1.2 Conclusiones.
TEMA 2. TIPOS DE COMPUTACIÓN PARALELA. TAXONOMÍA
2.1 Taxonomía de las arquitecturas paralelas.
2.2 Arquitectura de los computadores secuenciales.
2.2.1 Taxonomía de Flynn.
2.2.2 Organización del espacio de direcciones de memoria.
2.3 Resumen de la clasificación de las arquitecturas paralelas.
2.4 Otros criterios de clasificación.
2.5 Redes de interconexión.
2.5.1 Características básicas de algunos encaminadores.
2.7 Conclusiones.
TEMA 3. SISTEMAS DE MEMORIA COMPARTIDA. MULTIPROCESADORES
3.1 Redes de interconexión dinámicas o indirectas.
3.1.1 Redes de medio compartido.
a) Bus compartido.
b) Múltiples buses compartidos.
3.1.2 Redes conmutadas.
a) Redes crossbar o matriciales.
b) Redes multietapa.
c) Permutaciones.
d) Ejemplos de redes de interconexión multietapa.
3.2 Coherencia de cache.

3.2.1 Soluciones para la coherencia de cache.
a) Políticas de actualización de memoria principal.
b) Política de actualización de caches.
c) Esquema de interconexión.
3.3 Conclusiones.
TEMA 4. SISTEMAS DE MEMORIA DISTRIBUIDA. MULTICOMPUTADORES: CLUSTERS
4.1 Redes de interconexión estáticas.
4.1.1 Especificaciones de las redes estáticas.
4.2 Clusters.
4.2.1 Consideraciones generales sobre los clusters.
4.2.2 ¿Por qué clusters?
4.2.3 ¿Cuándo y cómo utilizar un cluster?
4.3 Programación de clusters.
4.3.1 Opciones de programación mediante paso de mensajes.
4.3.2 Creación de procesos.
4.3.3 Envío y recepción de mensajes.
a) Paso de mensajes síncronos.
b) Paso de mensajes bloqueantes y no-bloqueantes.
c) Selección y tamaño del mensaje.
d) Funciones colectivas de paso de mensajes.
e) Resumen de primitivas básicas para paso de mensajes.
4.4 Paradigmas de programación paralela con paso de mensajes.
4.4.1 Paradigma Maestro/Esclavo.
4.4.2 Paradigma SPMD (Single Program Multiple Data).
4.5 Evaluación del rendimiento de un cluster.
4.5.1 Análisis del protocolo de comunicación.
4.5.2 Tiempo de ejecución, tiempo de comunicación, latencia y ancho de banda.
4.5.3 Test ping-pong.
4.5.4 Resultados experimentales.
4.6 Factores que influyen en la velocidad computacional.
4.6.1 Granularidad de los procesos.
4.6.2 Factor de aceleración (speedup).
4.6.3 Ley de Amdahl.
4.6.4 Eficiencia.
4.6.5 Coste.
4.6.6 Escalabilidad.
4.6.7 Balance de carga.
4.7 Conclusiones.
TEMA 5. PVM (PARALLEL VIRTUAL MACHINE)
5.1 Características de PVM.
5.1.1 Antecedentes históricos y versiones de PVM.
5.1.2 Obtención de PVM.
5.2 Arquitectura de PVM.

5.2.1 Modelo de computación.
5.2.2 Modelo de implementación.
5.2.3 Arranque y configuración de PVM.
5.2.4 Construcción de la máquina virtual.
a) Arranque del demonio maestro.
b) Creación de los demonios esclavos.
c) La tabla de host.
d) El identificador de una tarea.
5.2.5 Modelo de comunicación.
a) Mensajes.
b) Tarea-demonio.
c) Demonio-demonio.
d) Comunicación directa entre tareas.
e) Limitación de los recursos.
5.3 Programación de aplicaciones en PVM.
5.3.1 La interfaz de usuario de PVM.
a) Funciones para el control de procesos.
b) Funciones de información.
c) Funciones de configuración dinámica de la máquina virtual.
d) Funciones de señalización.
e) Funciones de control de buffers.
f) Funciones de empaquetado/desempaquetado de datos.
g) Funciones para el envío y recepción de mensajes.
h) Funciones para operaciones colectivas.
5.4 Instalación de PVM y compilación de aplicaciones.
5.4.1 Compilación del software PVM.
5.4.2 Configuración de las variables de usuario.
5.4.3 Compilación de aplicaciones.
5.5 Ejemplos de aplicación.

EQUIPO DOCENTE

Nombre y Apellidos	JOSE SANCHEZ MORENO
Correo Electrónico	jsanchez@dia.uned.es
Teléfono	91398-7146
Facultad	ESCUELA TÉCN.SUP INGENIERÍA INFORMÁTICA
Departamento	INFORMÁTICA Y AUTOMÁTICA

Nombre y Apellidos	SEBASTIAN DORMIDO CANTO
Correo Electrónico	sebas@dia.uned.es
Teléfono	91398-7194
Facultad	ESCUELA TÉCN.SUP INGENIERÍA INFORMÁTICA
Departamento	INFORMÁTICA Y AUTOMÁTICA

Nombre y Apellidos	VICTORINO SANZ PRAT
Correo Electrónico	vsanz@dia.uned.es
Teléfono	91398-9469
Facultad	ESCUELA TÉCN.SUP INGENIERÍA INFORMÁTICA
Departamento	INFORMÁTICA Y AUTOMÁTICA

Nombre y Apellidos	DAVID MORENO SALINAS
Correo Electrónico	dmoreno@dia.uned.es
Teléfono	91398-7942
Facultad	ESCUELA TÉCN.SUP INGENIERÍA INFORMÁTICA
Departamento	INFORMÁTICA Y AUTOMÁTICA

BIBLIOGRAFÍA BÁSICA

ISBN(13):9788448146429
Título:ARQUITECTURA DE COMPUTADORES. FUNDAMENTOS DE LOS PROCESADORES SUPERESCALARES (1ª)
Autor/es:Shen, John Paul ; Lipasti, Mikko H. ;
Editorial:MC GRAW HILL

ISBN(13):9788496094109
Título:PROCESAMIENTO PARALELO. TEORÍA Y PROGRAMACIÓN (1ª ED.)
Autor/es:Dormido Canto, Sebastián ; Sánchez Moreno, José ; Ros Muñoz, Salvador ; Hernández Berlinches, Roberto ;
Editorial:SANZ Y TORRES

1.ª parte:

JOHN P. SHEN y MIKKO H. LIPASTI. *Arquitectura de Computadores: Fundamentos de los procesadores superescalares*. Madrid: McGraw-Hill, 2005.

2.ª parte:

S. DORMIDO, R. HERNÁNDEZ, S. ROS y J. SÁNCHEZ. *Procesamiento Paralelo: Teoría y Programación*. Madrid: Sanz y Torres, 2003.

BIBLIOGRAFÍA COMPLEMENTARIA

ISBN(13):9788420529806
Título:ESTRUCTURAS DE DATOS Y ALGORITMOS (1ª)
Autor/es:Lázaro Obensa, Juan Carlos ; Ros Muñoz, Salvador ; Hernández Berlinches, Roberto ; Dormido Canto, Raquel ;
Editorial:PRENTICE-HALL

ISBN(13):9788420529936
Título:ORGANIZACIÓN Y ARQUITECTURA DE COMPUTADORES (1ª)
Autor/es:Stallings, William ;
Editorial:PEARSON ALHAMBRA

ISBN(13):9788488667533
Título:ESTRUCTURA Y TECNOLOGÍA DE COMPUTADORES (2ª)
Autor/es:Mira Mira, José ; Dormido Canto, Sebastián ; Canto Díez, Mª Antonia ; Delgado García, Ana Esperanza ;
Editorial:SANZ Y TORRES

ISBN(13):9788497322744
Título:ARQUITECTURA DE COMPUTADORES (1ª)
Autor/es:Anquita López, Mancia ; Ortega Lopera, Julio ; Prieto Espinosa, Alberto ;
Editorial:THOMSON PARANINFO,S.A.

Para ambas partes:

J. L. HENNESSY y D. A. PATTERSON. *Computer Architecture: A Quantitative Approach (3th. edition)*. San Francisco, CA: Morgan Kaufmann Publishers, 2002.

D. SIMA, T. FOUNTAIN y P. KACSUK. *Advanced Computer Architectures*. Reading, MA: Addison Wesley, 1997.

JULIO ORTEGA, MANCIA ANGUITA y ALBERTO PRIETO. *Arquitectura de Computadores,* Thomson, 2005.

1.ª parte:

D. A. PATTERSON y J. L. HENNESSY. *Organización y diseño de computa-doras: La interfaz hardware/software*. Madrid: McGraw-Hill, 1995.

S. DORMIDO, M. A. CANTO, J. MIRA y A. DELGADO. *Estructura y tecnología de computadores* (2.ª edición). Madrid: Sanz y Torres, 2000.

W. STALLINGS. *Organización y arquitectura de computadores* (5.ª edición). Madrid: Prentice Hall, 2000.

2.ª parte:

D. E. CULLER y J. PAL. *Parallel Computer Architecture. A Hardware/Soft-ware Approach*. San Francisco, CA: Morgan Kaufmann, 1999.

K. HWANG y Z. XU. *Advanced Computer Architecture: Parallelism, Scalability, Programmability*. New York, NY: McGraw-Hill, 1993.

A. GEIST, A. BEGUELIN, J.DONGARRA, W. JIANG, R. MANCHEK y V. SUNDERAM. *PVM: Parallel Virtual Machine. A Users' Guide and Tutorial for Networked Parallel Computing.* Cambridge, MA: MIT Press, 1994.

B. WILKINSON y M. ALLEN. *Parallel Programming. Techniques and Applications Using Networked Workstations and Parallel Computers*. Englewood Cliffs, NI: Prentice-Hall, 1999.

R. HERNÁNDEZ, J. C. LÁZARO, R. DORMIDO y S. ROS. *Estructuras de Datos y Algoritmos* . Madrid: Prentice-Hall, 2001.

SISTEMA DE EVALUACIÓN

PRUEBAS PRESENCIALES

La evaluación de la asignatura se efectuará mediante la realización de dos pruebas presenciales, a celebrar una en febrero y otra en junio,
o ambas en septiembre. Durante las pruebas (2 horas) no estará permitido el uso de ningún tipo de material, excepto calculadora científica no programable.

El temario a estudiar para superar la primera y segunda pruebas presenciales se corresponde con las dos partes de la asignatura, respectivamente.

Para la evaluación tanto del primer bloque de la asignatura como del segundo, las pruebas presenciales constarán de un test compuesto de preguntas teórico/prácticas. En el test se valorará fundamentalmente la *comprensión* y el *razonamiento*. Así se plantearan cuestiones en las que la lectura detenida de los temas de la asignatura sea suficiente para garantizar la respuesta correcta, mientras que en otras será necesario aplicar razonamientos, semejantes a los desarrollados a lo largo del temario.

En su caso, como complemento a las pruebas presenciales, la realización de las prácticas permitirá analizar la capacidad del alumno para trasladar los conceptos adquiridos del campo teórico al campo práctico.

La calificación final de la asignatura se obtendrá mediante la media aritmética de las calificaciones obtenidas en las dos pruebas presenciales, si y sólo si en ambas se ha alcanzado una nota mayor o igual que 4,0. La nota de cada prueba presencial, siempre y cuando sea mayor que 4,0, será considerada únicamente hasta la convocatoria de septiembre del mismo curso académico, fecha en la que la calificación como apto o no apto se aplicará a la asignatura completa.

PRÁCTICAS

Al comienzo de cada cuatrimestre, el equipo docente planteará la posibilidad de realizar prácticas voluntarias. Estos trabajos tendrán repercusión sobre la calificación de la asignatura en función de la nota obtenida en la prueba presencial.

Toda la información necesaria para realizar las prácticas estará disponible en el curso virtual WebCT.

HORARIO DE ATENCIÓN AL ESTUDIANTE

Los lunes lectivos de 15 a 19 h., en el edificio de la Escuela Técnica Superior de Ingeniería Informática, C/ Juan del Rosal 16 28040 Madrid.

Sebastián Dormido Canto
Despacho 5.11
Tel.: 91 398 71 94

José Sánchez Moreno
Despacho 5.11
Tel.: 91 398 71 46

OTROS MEDIOS DE APOYO

En el curso virtual se dispone de información actualizada de interés general.
Existe la posibilidad de realizar consultas sobre la asignatura utilizando el correo electrónico: *aic@dia.uned.es.*

IGUALDAD DE GÉNERO

En coherencia con el valor asumido de la igualdad de género, todas las denominaciones que en esta Guía hacen referencia a órganos de gobierno unipersonales, de representación, o miembros de la comunidad universitaria y se efectúan en género masculino, cuando no se hayan sustituido por términos genéricos, se entenderán hechas indistintamente en género femenino o masculino, según el sexo del titular que los desempeñe.