

Índice

1. Práctica I: Diseño y estudio del diodo como dispositivo físico electrónico	27
1.1. Introducción	27
1.2. Manejo del programa PC-1D	27
1.2.1. Configuración e inicialización de parámetros	28
1.2.2. Análisis de la situación de equilibrio	29
1.2.3. Análisis del estado estacionario	30
1.2.4. Análisis del estado transitorio	31
1.3. Realización de la práctica	32
2. Práctica II: Caracterización del diodo. Estudio de algunas de sus aplicaciones.	33
2.1. Introducción	33
2.2. Característica I/V y modelo equivalente del diodo	33
2.2.1. Componentes	34
2.2.2. Actividades	35
2.3. Rectificador de media onda	36
2.3.1. Componentes	37
2.3.2. Actividades	38
2.4. Rectificador de onda completa	38
2.4.1. Componentes	39
2.4.2. Actividades	39
2.5. Circuito recortador a dos niveles	40
2.5.1. Componentes	40
2.5.2. Actividades	41

2.6. Regulación Zener	41
2.6.1. Componentes	42
2.6.2. Actividades	42
3. Práctica III: Diseño de amplificadores con transistores BJT	45
3.1. Introducción	45
3.2. Objetivo	45
3.2.1. Especificaciones de diseño	46
3.3. Material necesario	46
3.4. Proceso operativo	46
3.4.1. Elección de la configuración de las etapas de transistor	47
3.4.2. Cálculo de valores de componentes de circuito	47
3.4.3. Frecuencia inferior de corte: condensadores de acoplo	50
3.5. Simulación	50
3.6. Valores reales de los componentes	51
3.7. Verificar especificaciones de diseño	51
3.7.1. Medida de la ganancia en tensión (A_v)	51
3.7.2. Medida del ancho de banda: frecuencia inferior/superior de corte	52
3.7.3. Medida de la Resistencia de entrada (R_i)	53
3.7.4. Medida de la Resistencia de salida (R_o)	53
3.8. Realización de la práctica	54
3.8.1. Actividades previas	55
3.8.2. Actividades de laboratorio	55
3.8.3. Cuestiones	56
4. Práctica IV: Diseño de amplificadores con transistores JFET	57
4.1. Introducción	57
4.2. Objetivo	57
4.2.1. Especificaciones de diseño	58
4.3. Material necesario	58
4.4. Proceso operativo	59
4.4.1. Elección de la configuración de las etapas de transistor	59

4.4.2.	Cálculo de valores de componentes de circuito	59
4.4.3.	Frecuencia inferior de corte: condensadores de acoplo	62
4.5.	Realización de la práctica	63
4.5.1.	Actividades previas	63
4.5.2.	Actividades de laboratorio	64
4.5.3.	Cuestiones	64
5.	Práctica V: Realimentación	67
5.1.	Introducción	67
5.2.	Objetivo	67
5.2.1.	Especificaciones de diseño	67
5.3.	Material necesario	68
5.4.	Proceso operativo	68
5.4.1.	Acoplo de etapas amplificadoras: efectos de carga	69
5.4.2.	Elegir y justificar el tipo de realimentación.	70
5.4.3.	Obtener valores de componentes de circuito para cumplir las condiciones de diseño	71
5.4.3.1.	Cálculo de la red β	72
5.4.3.2.	Cálculo de la ganancia en directa A	73
5.5.	Realización de la práctica	75
5.5.1.	Actividades previas	75
5.5.2.	Actividades de laboratorio	76
5.5.3.	Cuestiones	77
6.	Práctica VI: Amplificadores Operacionales. Fundamentos y Aplica- ciones	79
6.1.	Introducción	79
6.2.	Objetivo	79
6.3.	Material necesario	80
6.4.	Proceso operativo	80
6.4.1.	Amplificación: configuraciones inversora, no inversora y dife- rencial	80
6.4.2.	Oscilación: Oscilador en puente de Wien	82

6.4.3. Filtrado: filtro paso bajo en topología fija y realimentación múltiple	84
6.5. Realización de la práctica	86
6.5.1. Actividades previas	87
6.5.2. Actividades de laboratorio	87
6.5.3. Cuestiones	89
A. Recta de carga estática y dinámica	91
A.1. Etapa amplificadora BJT en emisor común	91
A.1.1. Recta de carga estática	91
A.1.2. Recta de carga dinámica	92
A.1.3. Ejemplos	95
A.1.3.1. Ejemplo1: No existe condensador de emisor ($C_e=0$)	95
A.1.3.2. Ejemplo 2: Parte de la resistencia de emisor está desacoplada ($R_{e1} \neq 0$ y $C_e \neq 0$)	96
A.1.3.3. Ejemplo 3: Toda la resistencia de emisor está desacoplada ($R_{e1} = 0$ y $C_e \neq 0$)	96
A.2. Regla de diseño: "Máxima excursión simétrica de salida"	97
B. Estimación de la frecuencia inferior de corte ω_L	99
B.1. Método de las constantes de tiempo en cortocircuito	99
C. Análisis de una etapa realimentada NUDO-MALLA	103
C.1. Circuito realimentado nudo-malla en forma de cuadripolos	103
C.2. Análisis de un circuito nudo-malla con red β ideal y sin carga ($R_s = 0, R_L = \infty$)	105
C.3. Análisis de un circuito nudo-malla real	107
D. Introducción al PSpice	109
D.1. Introducción a la simulación	109
D.2. <i>Schematics</i>	111
D.2.1. Interfaz	111
D.2.2. Acciones básicas	112
D.2.2.1. Insertar un componente	113

D.2.2.2. Rotar y Reflejar	114
D.2.2.3. Interconectar componentes	114
D.2.2.4. Etiquetar líneas	114
D.2.2.5. Complementos gráficos	115
D.2.2.6. Captura de esquemas en modo gráfico	116
D.3. <i>Probe</i>	117
D.3.1. Interfaz	117
D.3.2. Acciones básicas	118
D.3.2.1. Añadir curva	118
D.3.2.2. Cambiar variable del eje X	119
D.3.2.3. Complementos gráficos	119
D.3.2.4. Captura de esquemas en modo gráfico	120
D.4. Ejemplo de simulación	121
D.4.1. Curva característica del diodo (Análisis DC)	121
D.4.2. Respuesta temporal de un circuito a una entrada senoidal (Análisis <i>TRANSIENT</i>)	122
D.5. Componentes más utilizados	127
D.5.1. Múltiplos y submúltiplos	131
D.6. Tipos de Análisis de <i>PSpice</i>	131
D.6.1. Punto de polarización (<i>Bias Point Detail</i>)	132
D.6.2. Análisis DC (<i>DC Sweep</i>)	132
D.6.2.1. Parámetros	132
D.6.2.2. Barridos anidados en continua	134
D.6.2.3. Comentarios	135
D.6.2.4. Ejemplos de <i>análisis DC</i>	135
D.6.3. Análisis AC (<i>AC Sweep</i>)	136
D.6.3.1. Parámetros	136
D.6.3.2. Comentarios	137
D.6.3.3. Ejemplo de <i>análisis AC</i>	137
D.6.4. Análisis de ruido (<i>Noise</i>)	138
D.6.4.1. Parámetros	140
D.6.4.2. Comentarios	140

D.6.5. Respuesta Transitoria (<i>Transient</i>)	141
D.6.5.1. Parámetros	141
D.6.6. Componentes de Fourier (<i>Fourier Analysis</i>)	143
D.6.6.1. Parámetros	143
D.6.6.2. Comentarios	144
D.6.6.3. Ejemplo de análisis transitorio y de Fourier	144
D.6.7. Función de transferencia (<i>Transfer Function</i>)	146
D.6.7.1. Parámetros	147
D.6.7.2. Ejemplo de función de transferencia	147
D.6.8. Temperatura (<i>Temperature</i>)	148
D.6.8.1. Ejemplo de <i>análisis AC</i> en función de la temperatura	148
D.6.9. Análisis de sensibilidad (<i>Sensitivity</i>)	149
D.6.9.1. Parámetros	149
D.6.10. Análisis Paramétrico (<i>Parametric</i>)	150
D.6.10.1. Parámetros	150
D.6.10.2. Ejemplos de análisis paramétrico	152
D.7. Solución de Problemas más frecuentes	154
E. Equipos de laboratorio y componentes pasivos	159
E.1. EQUIPOS DE LABORATORIO	159
E.1.1. El Polímetro	159
E.1.1.1. Parámetros característicos	160
E.1.1.2. Limitaciones y recomendaciones de uso:	160
E.1.1.3. Controles:	164
E.1.2. La fuente de alimentación	166
E.1.2.1. Parámetros característicos	166
E.1.2.2. Controles:	167
E.1.3. El Osciloscopio	169
E.1.3.1. Parámetros característicos	170
E.1.3.2. Controles	171
E.1.4. El Generador de Funciones	178
E.1.4.1. Parámetros característicos	178

E.1.4.2. Controles:	179
E.2. COMPONENTES PASIVOS	182
E.2.1. Resistencias	182
E.2.1.1. Parámetros característicos	183
E.2.1.2. Resistencias Variables	184
E.2.2. Condensadores	185
E.2.2.1. Parámetros característicos	186
E.2.3. Bobinas	186
E.2.3.1. Parámetros característicos	187
F. Hojas de características	189
F.1. Diodo de propósito general (1N4148)	191
F.2. Diodo zener (1N750)	195
F.3. Transistor NPN (2N2222)	197
F.4. Transistor JFET (2N3819)	203
F.5. Amplificador operacional (LM741)	209

Capítulo 4

Práctica IV: Diseño de amplificadores con transistores JFET

4.1. Introducción

La práctica anterior permitió introducir al alumno en el diseño de amplificadores utilizando transistores BJT. No obstante, existe la posibilidad de usar transistores de efecto campo (MOSFET y JFET) para construir etapas amplificadoras e, incluso, mezclar ambas propuestas. Mientras se dice que los transistores BJT son dispositivos controlados por corriente (la corriente de colector es controlada por la corriente de base), los transistores de efecto campo son dispositivos controlados por tensión (la corriente de drenador es controlada por la tensión de puerta). Este matiz, unido a otras características diferenciadoras, hace que merezca la pena dedicar una sesión al uso de transistores de efecto campo como amplificadores. Debido a que la realización de las prácticas implica un tiempo limitado, nos restringiremos al estudio del JFET. No obstante, se anima al alumno al estudio de aplicaciones con MOSFET utilizando la herramienta de simulación *PSpice*.

4.2. Objetivo

El objetivo de esta práctica es diseñar e implementar un amplificador con transistores JFET que cumpla un conjunto de especificaciones de diseño. Esto obligará a elegir el punto de polarización del transistor o conjunto de transistores empleados y a calcular el resto de componentes pasivos (resistencias y condensadores) que intervengan en la construcción del amplificador. El siguiente paso será simular el circuito diseñado para ver si los valores calculados teóricamente permiten cumplir

las especificaciones de diseño. Y, finalmente, de ser así, el circuito se implementará en el laboratorio en una placa de montaje utilizando componentes reales.

4.2.1. Especificaciones de diseño

Las especificaciones a cumplir por el amplificador a diseñar son las siguientes:

- Máximo rango dinámico.
- Tensión de alimentación: $V_{DD} = 20V$.
- Resistencia de carga: $R_L = 100K\Omega$.
- Ganancia en tensión (sin resistencia de carga): $A_v \geq 3$ ó $A_v|_{dB} \geq 9,5dB$
- Impedancia de entrada: $R_i \geq 100K\Omega$.
- Impedancia de salida (sin resistencia de carga): $5K\Omega \leq R_o \leq 15K\Omega$.
- Frecuencia inferior de corte: $f_l \approx 50Hz$.

4.3. Material necesario

Para la realización de esta práctica será necesario el siguiente material:

- Osciloscopio
- Fuente de alimentación
- Generador de señal
- Polímetro
- Transistores JFET de propósito general 2N3819
- Resistencias
- Condensadores
- Placa de montaje universal
- Cables para conexiones

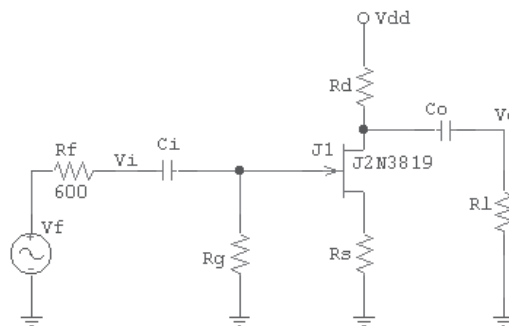


Figura 4.1: Amplificador unietapa fuente común (sin condensador de emisor)

4.4. Proceso operativo

A lo largo de esta sección se establecen una serie de recomendaciones teórico-prácticas para la realización de esta práctica. Aunque se supone que muchas de ellas deberían ser conocidas ya por el alumno, se incluyen aquí como recordatorio y con el fin de hacer el guión de la práctica autocontenido.

4.4.1. Elección de la configuración de las etapas de transistor

En primer lugar, se intentará abordar el problema de diseño utilizando una única etapa amplificadora. Debido al valor de ganancia especificada, queda descartada la configuración drenador común puesto que ésta sólo es capaz de ofrecer una ganancia en tensión ligeramente por debajo a la unidad. Por otro lado, dado que con una configuración puerta común sólo se pueden obtener resistencias de entrada muy bajas y, en este caso, la resistencia de entrada debe ser alta, queda también descartada. Finalmente, si intentamos cumplir las especificaciones de diseño con una única etapa, sólo queda considerar la configuración fuente común. Esta configuración permite, sin mucha dificultad, obtener ganancias de tensión en el rango especificado (se puede optar entre utilizar o no condensador de fuente) y, además, permite también conseguir impedancias de entrada muy altas y resistencias de salida altas. Dado que estas características se adecúan a las especificaciones de diseño, se intentará diseñar el amplificador mediante una sola etapa de transistor en fuente común tal y como se muestra en la figura 4.1.

4.4.2. Cálculo de valores de componentes de circuito

En gran señal, la expresión que relaciona la corriente de drenador, I_D , de un JFET y la tensión puerta-fuente, V_{GS} , en la región de saturación, junto con las expresiones

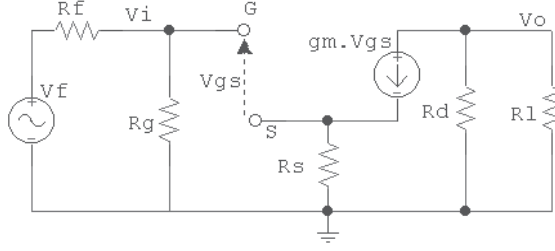


Figura 4.2: Circuito equivalente en pequeña señal de un amplificador unietapa en fuente común (sin condensador de emisor)

que determinan el balance de tensión en las mallas drenador-fuente y puerta-fuente, todas ellas, proporcionan las ecuaciones que deben cumplir los elementos de circuito presentes en la figura 4.1. Éstas son, respectivamente:

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 \quad \text{Para JFET-2N3819 } I_{DSS} = 10mA \text{ y } V_P = -3V \quad (4.1)$$

$$V_{DD} = I_D(R_D + R_S) + V_{DS} \quad (4.2)$$

$$V_{GS} = -I_D R_S \quad (4.3)$$

De otro lado, existen una serie de restricciones necesarias para cumplir las especificaciones de diseño. Así, las expresiones para la ganancia en tensión, impedancia de entrada y salida en configuración fuente común se obtienen a partir del modelo en pequeña señal que se muestra en la figura 4.2. Éstas vienen dadas, respectivamente, por:

$$A_v = -\frac{g_m(R_D || R_L)}{1 + g_m \cdot R_S} \quad (4.4)$$

$$R_i = R_G \quad (4.5)$$

$$R_o = R_D \quad (4.6)$$

En configuración fuente común, sin C_S y con $R_L \gg R_D$, la recta de carga estática coincide con la dinámica. El máximo rango dinámico se obtiene para una tensión drenador-fuente de¹:

$$V_{DS} = \frac{V_{DD} + V_{GS} - V_P}{2} \simeq \frac{V_{DD}}{2} \quad (4.7)$$

Con las tres primeras ecuaciones (4.1, 4.2 y 4.3) e imponiendo las restricciones 4.4, 4.5 y 4.6, se puede abordar el problema planteado. Efectivamente, de las ecuaciones

¹El proceso de obtención de la ecuación 4.7 se deja como ejercicio al alumno, teniendo en cuenta que es paralelo al que se sigue en el apéndice A para el caso de transistores BJT.

4.2, 4.6 y de la especificación de diseño para el valor de la resistencia de salida, se obtiene que:

$$R_D + R_S = \frac{V_{DD} - V_{DS}}{I_D} > R_{o_{\min}} \quad (4.8)$$

es decir

$$I_D < \frac{V_{DD} - V_{DS}}{R_o} = I_{D_{\max}} \quad (4.9)$$

Escogiendo un valor adecuado de I_D que haga cumplir 4.9, se determina el valor² de V_{GS} a partir de la ecuación 4.1 y, a su vez, conocido éste, se obtiene el valor de g_m según las hojas de características. Establecido ahora el valor de V_{GS} , se determinará el valor de R_S a partir de la ecuación 4.3, es decir:

$$R_S = -\frac{V_{GS}}{I_D} \quad (4.10)$$

Sólo nos queda calcular el valor de R_D , que se podrá hacer fácilmente de la ecuación 4.2 teniendo en cuenta que, ahora, el valor del resto de variables son conocidos.

A partir de los valores de resistencias obtenidos habrá que comprobar, mediante 4.4, 4.5 y 4.6, que se cumplen las especificaciones de diseño. La restricción de impedancia de entrada es fácil de cumplir porque bastará hacer $R_G = R_i$. La restricción del valor de la impedancia de salida se debe cumplir si se han seguido los pasos anteriores. Sólo queda entonces chequear si se cumple la restricción de la ganancia en tensión. Si es así, el proceso habrá concluido, en caso contrario (no se alcanza el valor de ganancia mínimo), habrá que realizar una nueva iteración para incrementar el valor de ganancia.

Si se fracasa en el intento de obtener el valor de ganancia en la primera iteración, puesto que el valor de ésta, dado por la expresión 4.4, se puede aproximar por

$$A_v \approx \frac{R_D}{R_S} \quad (4.11)$$

resulta obvio que, para aumentar el valor A_v , habrá que decrementar el valor de R_S (R_D viene delimitado por el valor de la impedancia de salida). Tal y como se deduce de la expresión 4.10, esto se consigue eligiendo un valor de I_D tal que, cumpliendo con la restricción impuesta por 4.9, sea mayor que el que se escogió en la primera iteración.

Finalmente, pudiera ocurrir que fuese imposible cumplir las especificaciones de diseño para la configuración elegida, entonces cabrían varias posibilidades:

- Cambiar la configuración utilizada.

²En este punto, es importante chequear que $|V_{GS}| > |V_P|$ para asegurar que el dispositivo está en conducción y, además, que $|V_{GD}| > |V_P|$ para chequear que está en saturación. En otro caso, tendría que retrocederse en los cálculos realizados y volver a empezar probando nuevos valores.

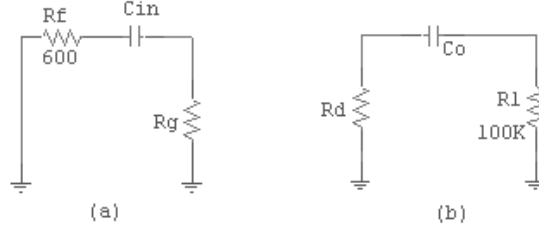


Figura 4.3: Circuitos resultantes al aplicar el método de las constantes de tiempo para calcular la frecuencia inferior de corte debida a los condensadores de acoplo: (a) circuito equivalente asociado al cálculo de ω_{C_i} , (b) circuito equivalente asociado al cálculo de ω_{C_o} .

- Añadir una nueva etapa en configuración adecuada para alcanzar, finalmente, el diseño buscado.
- Añadir un condensador de desacoplo en el terminal de fuente para buscar ganancias mayores.
- Combinar dos o más de estas posibilidades.

4.4.3. Frecuencia inferior de corte: condensadores de acoplo

Aplicando el método de las constantes de tiempo en cortocircuito (ver apéndice B), se obtiene que los circuitos equivalentes para el cálculo de las constantes de tiempo de cada condensador son los que aparecen en la figura 4.3. Entonces:

$$\omega_i = \frac{1}{(R_f + R_G) \cdot C_i} \quad (4.12)$$

$$\omega_o = \frac{1}{(R_D + R_L) \cdot C_o} \quad (4.13)$$

$$\omega_L = \omega_i + \omega_o \quad (4.14)$$

Finalmente, si se toman las dos capacidades iguales $C_o = C_i = C$:

$$2\pi \cdot f_L = \frac{1}{C} \left(\frac{1}{R_G + R_f} + \frac{1}{R_D + R_L} \right) \quad (4.15)$$

Si imponemos la especificación de diseño respecto a la frecuencia inferior de corte, f_L , ya todos los valores son conocidos y, por tanto, se puede despejar y calcular el valor de C .

4.5. Realización de la práctica

En esta práctica es obligatorio realizar las siguientes actividades y cuestiones. No olvide que las denominadas actividades previas las deberá trabajar en casa y no en el laboratorio.

4.5.1. Actividades previas

1. Cálculo teórico del conjunto de resistencias y condensadores del amplificador de la figura 4.1 para cumplir las especificaciones de diseño.
2. Simulación mediante *PSpice* del circuito diseñado. Comprobar y presentar las gráficas correspondientes, mediante el programa *Probe*, para demostrar que se cumplen las especificaciones de diseño.
3. Si se cambian las especificaciones de diseño para obtener una ganancia en tensión $A_V = 20(26dB)$, una resistencia de salida $R_o \leq 600\Omega$ y una frecuencia inferior de corte $f_l = 500Hz$ (el resto de especificaciones se quedan inalteradas), estudiar qué tipo de configuración utilizar. Es conveniente tener en cuenta que, al demandar una ganancia mayor, sería aconsejable utilizar una etapa fuente común con condensador de desacoplo. La expresión de la ganancia vendría dada entonces por:

$$A_v = -g_m(R_D || R_L) \quad (4.16)$$

El proceso de diseño sería idéntico al indicado en la sección 4.4. A pesar de que la ganancia es directamente proporcional a g_m y a R_D , sin embargo, dado que el rango de variación de g_m sólo es de unidades de mS (ver hojas de características), parece más adecuado trabajar sobre valores elevados de R_D para conseguir ganancias más altas. No obstante, al elevar el valor de la resistencia de drenador dejaría de cumplirse la especificación de una resistencia de salida tan baja como la especificada. Por tanto, se recomienda utilizar una primera etapa fuente común con condensador de desacoplo más otra etapa que consiga obtener la impedancia de salida especificada. Esto último es fácil de conseguir con una configuración drenador común en la que el cálculo de dicha impedancia viene dada por:

$$R_o = R_S || \frac{1}{g_m} \quad (4.17)$$

Obsérvese que, como la ganancia de una etapa drenador común es muy próxima a la unidad, la ganancia total de las dos etapas acopladas es prácticamente la calculada para la primera etapa. Finalmente, el circuito resultante debe ser similar al mostrado en la figura 4.4.

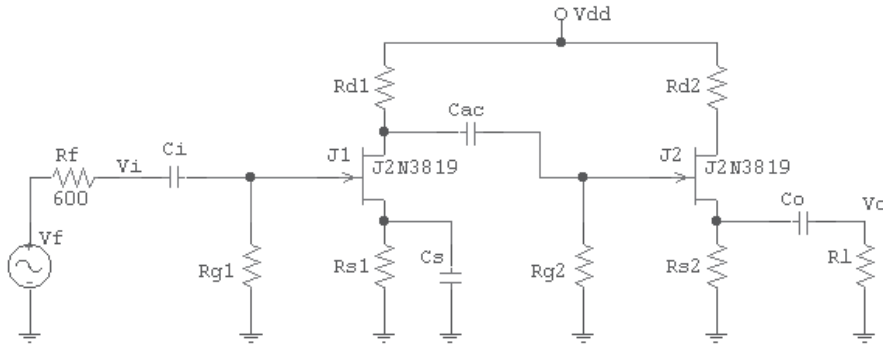


Figura 4.4: Amplificador de dos etapas JFET: la primera en configuración fuente común con condensador de desacoplo C_S (consigue ganancia alta) y la segunda en configuración drenador común (consigue impedancia de salida pequeña).

4. Simular con Ppice el circuito de dos etapas obtenido en el apartado anterior. Representar las gráficas correspondientes, mediante el programa *Probe*, para demostrar que se cumplen las especificaciones de diseño establecidas.

4.5.2. Actividades de laboratorio

1. Montaje en el laboratorio del circuito de la figura 4.1. Dado que existirá cierta discrepancia entre los valores de componentes calculados teóricamente y los valores de componentes reales, comprobar que, con los valores de estos últimos, aún se siguen cumpliendo las especificaciones de diseño.
2. Medir sobre el circuito real R_i , R_o , f_l y A_v (diagrama de Bode), utilizando las indicaciones dadas en la práctica anterior. En este caso, es necesario representar el diagrama de Bode tanto de la **ganancia en tensión** como de la **resistencia de entrada**, en escala semilogarítmica, bien en papel milimetrado o mediante cualquier herramienta software que permita la representación de gráficas.
3. Montaje en el laboratorio del circuito de la figura 4.4 y volver a medir R_i , R_o , f_l y A_v (diagrama de Bode).

4.5.3. Cuestiones

1. Utilizando sólo transistores tipo JFET, si quisiera cumplir las especificaciones de diseño impuestas en el apartado 3 del epígrafe 4.5.1, pero sin dejar invertida la señal de salida respecto a la de entrada, ¿qué montaje propondría?. Descríbalo y justifíquelo cualitativamente.